

REC'2010 - VI Jornadas sobre Sistemas Reconfiguráveis

4-5 de Fevereiro de 2010

Universidade de Aveiro

Programa Final

Quinta-feira - 4 de Fevereiro de 2010

08:45 Registo

09:15 Sessão de Abertura das Jornadas

09:30 Apresentação Convidada Académica - Moderação: João Canas Ferreira

Foreseeing the Role of Reconfiguration in Multi-core Architectures

Leonel Sousa

ISTécnico/INESC-ID

10:30 Pausa para Café

11:00 Sessão Regular 1: Linguagens e Algoritmos - Moderação: Helena Sarmento

LA1 **Algorithms for Run-time Placement and Routing on Virtex II Pro FPGAs** (artigo longo)

Miguel L. Silva, João Canas Ferreira

FEUP, INESC Porto

LA2 **Interligação Intra- e Inter-circuito de Componentes Especificados com Redes de Petri** (artigo longo)

Ricardo Ferreira, Anikó Costa, Luís Gomes

UNLisboa, UNINOVA

LA3 **Uma Linguagem para Geração Automática de Arquitecturas Baseadas em Computação Reconfigurável** (artigo longo)

Ricardo Menotti, João M. P. Cardoso, Márcio M. Fernandes, Eduardo Marques

UTFP, FEUP, UFSC, USP

12:30 Almoço

14:00 Sessão Regular 2: Telecomunicações I - Moderação: Nuno Roma

T11 **Implementação de Algoritmos em FPGA para Estimação de Sinal em Sistemas Ópticos Coerentes** (artigo longo)

Nuno M. Pinto, Henrique M. Salgado, João Canas Ferreira, Luís M. Pessoa

FEUP, INESC Porto

T12 **Reconfigurable Architectures for Next Generation Software-Defined Radio** (artigo curto)

Nelson Silva, Arnaldo S. R. Oliveira, Nuno Borges de Carvalho

IEETA, IT, UAveiro

T13 **Implementation of an 128 FFT for a MB-OFDM Receiver** (artigo curto)

Bruno Fernandes, Helena Sarmento

INESC-ID, ISTécnico

15:00 Sessão Regular 3: Aplicações Científicas - Moderação: Mários Véstias

AC1 **Validação e Concretização do Módulo MICTP do Primeiro Nível do Filtro de Eventos do Detector ATLAS** (artigo longo)

Bruno Fernandes, Per Klöfver, Ralf Spiwoks, Guiomar Evans, Stefan Haas, José Augusto

FCULisboa, CERN, INESC-ID

AC2 **Scalable Accelerator Architecture for Local Alignment of DNA Sequences** (artigo longo)

Nuno Sebastião, Nuno Roma, Paulo Flores

INESC-ID, ISTécnico

AC3 **Simulação em FPGA de Redes Reguladoras com Topologia Livre de Escala** (artigo curto)

Julio C. G. Vendramini, Ricardo Ferreira, Leonardo Carvalho

UFedViçosa

16:15 Pausa para Café e Sessão de Posters - Introdução: Arnaldo Oliveira

PT1 **Utilização de Lógica Programável no Ensino de Sistemas Digitais no IPS/ESTsetúbal** (poster)

Ana Antunes, José Sousa

IPSetúbal

PT2 **Lógica Programável - Uma Nova Abordagem no Ensino da Electrónica Digital na Direcção das Novas Tecnologias de Automação Industrial** (poster)

Cesar da Costa

UNESP

PT3 **Unidades ASH para Paralelização de Modelos Acústicos DWM Tridimensionais** (poster)

Sara Barros, Guilherme Campos

IEETA, UAveiro

Organização



ieeta instituto de engenharia electrónica e telemática de aveiro



universidade de aveiro
theoria poiesis praxis



Universidade do Porto
FEUP Faculdade de Engenharia

Apoios e Patrocínios



Fundação para a Ciência e a Tecnologia
MINISTÉRIO DA CIÊNCIA, TECNOLOGIA E ENSINO SUPERIOR



Região Centro



IEEE PORTUGAL SECTION



CAS
IEEE CIRCUITS AND SYSTEMS SOCIETY



SOCIEDADE PORTUGUESA DE ELECTRONICA



PT INOVAÇÃO



XILINX®

REC'2010 - VI Jornadas sobre Sistemas Reconfiguráveis

4-5 de Fevereiro de 2010

Universidade de Aveiro

Programa Final

16:45 Sessão Regular 4: Arquitectura e Circuitos Aritméticos - Moderação: Ioulia Skliarova

AA1 A Distributed Cache Memory System for Custom Vector Processors (artigo curto)

João M. Meixedo, José Carlos Alves
INESC Porto, FEUP

AA2 Divisor Decimal em FPGA com o Método de Newton-Raphson (artigo longo)

Pedro Pereira, Mário Véstias, Horácio Neto
ISEL, INESC-ID, ISTécnico

AA3 Double-precision Floating-point Performance of Computational Devices: FPGAs, CPUs, and GPUs (artigo longo)

Frederico Pratas, Aleksandar Ilic, Leonel Sousa, Horácio Neto
INESC-ID, ISTécnico

AA4 Implementação de Filtros Notch em Aritmética de Ponto Fixo (artigo longo)

Eduardo Pinheiro, Octavian Postolache, Pedro Girão
IT, ISTécnico, IPSetubal

18:30 Fim do Programa Científico do Primeiro Dia das Jornadas

20:00 Jantar

Sexta-feira - 5 de Fevereiro de 2010

09:00 Sessão Regular 5: Instrumentação e Controlo - Moderação: José Augusto

IC1 Instrumento de Análise e Diagnóstico em Máquinas Rotativas de Indução Baseado em FPGA (artigo curto)

Cesar da Costa, Mauro Hugo Mathias, Pedro Ramos, Pedro Girão
UNESP, IT, ISTécnico

IC2 The Performance Impact when Optimizing Mapping Algorithms for an FPGA-based Mobile Robot (artigo longo)

Manuel Reis, João M. P. Cardoso, João Canas Ferreira
FEUP, INESC Porto

09:45 Apresentação Convidada Empresarial - Moderação: Horácio Neto

MIPS IP Cores and the SEAD-3 FPGA-based Development Platform and Tools

Chris Berg
MIPS Technologies

10:45 Pausa para Café

11:15 Sessão Regular 6: Telecomunicações II - Moderação: Luís Gomes

T21 Implementação em FPGA de um Desmodulador DCM para um Receptor UWB MB-OFDM (artigo curto)

Hugo Santos, Mário Véstias, Helena Sarmento
INESC-ID, ISEL, ISTécnico

T22 The IEEE 802.11p Physical Layer Implemented in a FPGA for the DSRC 5.9GHz Project (artigo curto)

Pedro Mar, João Matos, Ricardo Abreu
IT, UAveiro

T23 Architectural Solutions for Server Scheduling Communication within Ethernet Switches (artigo curto)

Rui Santos, Alexandre Vieira, Ricardo Marau, Paulo Pedreiras, Arnaldo S. R. Oliveira, Luís Almeida
IEETA, UAveiro, FEUP

12:00 Sessão Regular 7: Processamento de Áudio/Vídeo - Moderação: Paulo Flores

AV1 Real-Time Stereo Image Matching on FPGA (artigo longo)

Carlos Resende, João Canas Ferreira
FEUP, INESC Porto

AV2 Audio Mixture Digital Matrix - MIAUDIO (artigo curto)

David Pedrosa Branco, Ioulia Skliarova, José Neto Vieira
UAveiro, IEETA

AV3 Real-time Optical-Flow Estimation in FPGA (artigo curto)

João Pedro Santos, José Carlos Alves
FEUP, INESC Porto

AV4 Interlayer Intra Prediction Architecture for Scalable Extension of H.264/AVC Standard (artigo curto)

Thaísia Silva, Luís Cruz, Luciano Agostini
IT, UCoimbra, UFPel

13:15 Sessão de Encerramento das Jornadas

Organização



ieeta instituto de engenharia electrónica e telemática de aveiro



universidade de aveiro
theoria poiesis praxis



Universidade do Porto
FEUP Faculdade de Engenharia

Apoios e Patrocínios



Fundação para a Ciência e a Tecnologia
MINISTÉRIO DA CIÊNCIA, TECNOLOGIA E ENSINO SUPERIOR



INOVAÇÃO

